

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284702

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 27/108

H01L 21/8242

(21)Application number : 09-090924

(71)Applicant : HITACHI LTD

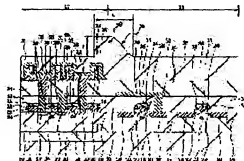
(22)Date of filing : 09.04.1997

(72)Inventor : WATABE KOZO
SHIGENIWA MASAHIRO
OGISHIMA JUNJI
IKEDA NORIAKI(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF
THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To planarize an interlayer insulating film which insulates an upper layer wiring and a lower layer wiring, without applying thermal stresses.

SOLUTION: An interlayer insulating film 35, made of a non-heat melting silicon oxide film, is deposited on an upper layer of a storage capacitance 33, and a resist is formed to cover a region of low altitude and a boundary region of the interlayer insulating film 35. Then, using this resist as a mask, the interlayer insulating film 35 is etched back. In addition, the interlayer insulating film 35 is polished by a CMP (chemical mechanical polishing) method to selectively polish a protrusion 38, thus planarizing the interlayer insulating film 35. In this polishing, the position of an end of the resist in the boundary region is controlled, thus limiting the distance L to not more than 10 μ m or the ratio of distance L/height H to not less than 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平10-284702

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 2 1 A

6 8 1 F

審査請求 未請求 請求項の数 9 O L (全 19 頁)

(21) 出願番号 特願平9-90924
(22) 出願日 平成9年(1997)4月9日(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 渡部 浩三
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
(72) 発明者 茂庭 昌弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
(72) 発明者 荻島 淳史
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
(74) 代理人 弁理士 筒井 大和

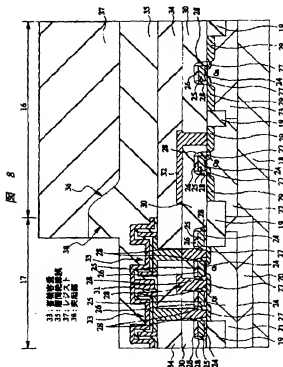
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 上層の配線と下層の配線とを絶縁する層間絶縁膜を熱ストレスを加えることなく平坦化する。

【解決手段】 蓄積容量33の上層に非熱溶融性のシリコン酸化膜からなる層間絶縁膜35を堆積し、層間絶縁膜35の標高の低い領域および境界領域を覆うようにレジスト37を形成する。次に、レジスト37をマスクとして、層間絶縁膜35をエッチバックする。さらに、層間絶縁膜35をCMP法により研磨し、突起部38を選択的に研磨して層間絶縁膜35を平坦化する。この際、境界領域におけるレジスト37の端部の位置を制御し、距離Lを10μm以内あるいは距離L/高さHの比を1以上とする。



(2)

【特許請求の範囲】

【請求項1】 半導体基板の主面に形成された半導体集積回路素子の上層に、前記半導体集積回路素子を構成する部材に起因して形成された面積の大きな大面積凸パターンを含む層間絶縁膜を堆積し、前記層間絶縁膜の表面を平坦化する工程を含む半導体集積回路装置の製造方法であって、

前記大面積凸パターン以外の領域および境界領域を覆うフォトリソトを形成し、前記フォトリソトをマスクとして前記層間絶縁膜の前記大面積凸パターンの領域をエッチングする第1の工程、

および、前記フォトリソトを除去した後、前記層間絶縁膜の表面をCMP法により研磨する第2の工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、
前記半導体集積回路装置は、メモリ情報である蓄積電荷を保持する蓄積容量がビット線の上層に形成されたDRAMを含み、前記層間絶縁膜は、前記蓄積容量の上層に形成され、前記蓄積容量に起因して形成された大面積凸パターンを含むものであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法であって、
前記層間絶縁膜は、高密度に配置されたMISFETのゲート電極または配線の上層に形成され、前記層間絶縁膜が前記ゲート電極または配線の間を埋め込むことにより形成された大面積凸パターンを含むものであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法であって、
前記境界領域は、前記大面積凸パターンの立ち上がり部から前記大面積凸パターンの凸部の方向に10μmの範囲であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置の製造方法であって、
前記第1の工程によって形成された前記境界領域における前記層間絶縁膜の突起状部分は、その幅に対する高さの比が1以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1、2、3、4または5記載の半導体集積回路装置の製造方法であって、
前記第1および第2の工程の前に形成される前記半導体集積回路素子を構成する部材には、耐熱性の低い部材が含まれることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体基板の主面に形成された半導体集積回路素子を覆う層間絶縁膜を含む半導体集積回路装置

であって、

前記層間絶縁膜は、前記半導体集積回路素子を構成する部材に起因して形成された面積の大きな大面積凸パターンを、前記大面積凸パターン以外の領域および境界領域を覆うフォトリソトをマスクとしてエッチングし、前記エッチングにより形成された前記境界領域の突起部を含む前記層間絶縁膜をCMP法により研磨して平坦化されたものであり、前記半導体集積回路素子には、金属または金属化合物からなる部材が含まれていることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、

前記部材は、タングステン、タングステンシリサイド、チタンまたは窒化チタンからなるゲート電極である第1の構成、
タングステン、タングステンシリサイド、チタンまたは窒化チタンからなるDRAMのビット線である第2の構成、

酸化タングタルからなる蓄積容量の容量絶縁膜である第3の構成、
タングステン、タングステンシリサイド、チタンまたは窒化チタンからなる蓄積容量のプレート電極である第4の構成、

タングステン、タングステンシリサイド、チタン、窒化チタン、アルミニウムまたは銅からなる接続孔に形成された接線部材である第5の構成、
タングステン、タングステンシリサイド、チタン、窒化チタン、アルミニウムまたは銅からなる配線である第6の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項9】 請求項7または8記載の半導体集積回路装置であって、
前記層間絶縁膜は、熱非容融性のシリコン酸化膜とすることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、その製造工程に層間絶縁膜の平坦化工程を含む半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年の大容量DRAM (Dynamic Random Access Memory) においては、メモリスセルの微細化に伴う情報蓄積用容量素子 (キャパシタ) の蓄積電荷量の減少を補うために、情報蓄積用容量素子をメモリスセル選択用MISFETの上部に配置するスタックド・キャパシタ構造が採用され、そのために発生するメモリアレイと周辺回路との間のほば情報蓄積用容量素子の高さに相当する段差 (標高差) の解消が問題となる。つまり、こ

(3)

のような段差の存在により、フォトリソグラフィ時のフォーカスマージの低下の他に、段差部における配線のショートあるいは断線の問題が生じる。

【0003】このような情報蓄積用容量素子の高さ分に相当する段差を解消する技術として、たとえば、特開平 7-122654 号公報に記載されているように、BPSG (Boron-doped Phospho Silicate Glass) 膜のリフローによる平坦化とスピノンガラス膜による平坦化とを組み合わせて段差の低減を図る技術が知られている。また、公知にされた技術ではないが、本出願人と同一の出願人の出願である特開平 8-154589 号出願の明細書に記載されているように、メモリアル領域に情報蓄積用容量素子を形成した後、これを覆う BPSG 膜を堆積し、メモリアル領域の BPSG 膜をエッチバックするとともにリフローすることにより BPSG 膜を平坦化する技術がある。

【0004】一方、半導体集積回路装置の最小加工寸法の減少に伴ってステップの高性能化が必要となり、レンズ開口径の増大と露光波長より短波長化が進んでいる。その結果、露光光学系の焦点深度が浅くなり、被加工表面の僅かな凹凸も問題となる。この結果、被加工表面の平坦化はデバイスプロセス上重要な技術課題となっている。しかも上記の平坦化は、段差上に形成される配線の断線を防止するために必要とされる段差形状の緩和を目的とした平坦化ではなく、グローバルな平坦化つまり完全平坦化が要求されるものである。

【0005】表面平坦化の技術としては、たとえば、平成 5 年 10 月 28 日、工業調査会発行、「やさしい ULSI 技術」、p155～p164 に記載されているように、SOG (Spin On Glass) 膜あるいは低融点ガラスの塗布および熔融による塗布法、ガラスフローによる熱処理法、CVD (Chemical Vapor Deposition) の表面反応メカニズムを適用して自己平坦化させる方法等が知られている。

【0006】また、実用的に完全なグローバル平坦化を実現できる可能性のある技術として、たとえば、平成 8 年 5 月 1 日、工業調査会発行、「電子材料」1996 年 5 月号、p20～p27 に記載されているように、エッチバック法および CMP 法が知られている。エッチバック法は、フォトリソグラフィによるパターン形成後の、SOG 膜を用いたもの、自己平坦化 CVD 膜を用いたもの等が知られているが、プロセスの複雑さ、コスト、パーティクルによる歩留まり低下が問題となり、CMP (Chemical Mechanical Polishing) 法は前記エッチバック法に生ずる問題は比較的小く、エッチバック法との比較において総合的に優れたプロセスであるとの認識が一般に形成されつつある。

【0007】

【発明が解決しようとする課題】しかしながら、DRAM の情報蓄積用容量素子に起因する段差の低減では、前

4

記特開平 7-122654 号公報に記載の技術は、例えば前述したスタックド・キャパシタ構造の DRAM のメモリアレイ上に形成される第 1 層目の配線とその上層に形成される第 2 層目の配線との間の層間絶縁膜を十分に平坦化することができない。

【0008】これは、上記 DRAM の場合、メモリアレイ上に形成される第 1 層目の配線と周辺回路上に形成される第 1 層目の配線との間に、ほぼ情報蓄積用容量素子の高さに相当する段差が生じているため、第 1 層目の配線上に堆積した層間絶縁膜のエッチバック量を多くすると、高段差部であるメモリアレイ上に形成された第 1 層目の配線が層間絶縁膜の表面に露出してしまいうからである。

【0009】この場合、層間絶縁膜の厚厚を十分に厚くすれば、メモリアレイ上の配線を露出させることなく平坦化を行うことが可能となるが、このようにすると、低段差部である周辺回路上に形成された第 1 層目の配線とその上層に形成される第 2 層目の配線とを接続する接続孔のアスペクト比が大きくなり、接続孔内における配線の接続信頼性が低下してしまう。

【0010】また、前記した特開平 8-154589 号出願の明細書に記載の技術では、BPSG 膜のリフローの際に 800℃ という高温に曝されるため、金属あるいは金属化合物等の耐熱性に乏しい材料を用いることができず、今後の半導体集積回路装置の高性能化に対応することができない。

【0011】一方、グローバル平坦化を目指す技術では、SOG 膜あるいは低融点ガラスの塗布および熔融による塗布法、ガラスフローによる熱処理法、CVD の表面反応メカニズムを適用して自己平坦化させる方法は、表面の状態や適用する熱処理等の条件あるいはそれらの加工上の制約から、完全な平坦化すなわちグローバル平坦化を行うことができない場合が多い。

【0012】また、エッチバック法では、プロセスが複雑となり、コスト、パーティクルによる歩留まり低下が問題となり、CMP 法では、前記エッチバック法に生ずる問題が比較的小く、比較的優れたプロセスであるとの認識が一般に形成されつつあるが、その研磨速度が下地パターンに依存する特性を有し、下地パターンの形状等によっては、十分な平坦性を確保することができないという問題がある。すなわち、CMP 法では、比較的微細な凸形状を研磨して平坦化することには優れているが、極の広い大面積凸形状を完全に平坦化することは難しい。これは、CMP 研磨により層間絶縁膜等の段差パターンを研磨する際には、段差パターンに加えられる荷重は、垂直方向の荷重に加えて段差パターンに隣接するスペース部との間で研磨パッドの変形により生じる水平方向の荷重が加えられることにより有効に平坦化が実現される一方、大面積パターンでは、水平方向の荷重はパタ

(4)

5
 ーンコーナ部近傍にのみ効果を及ぼすこととなり、実質的な段差低減としては垂直荷重のみで実現されることによる。したがって、大面積パターンでは微細パターンに比べてその研磨速度が相対的に遅くなり、大面積パターンと微細パターンとが混在する表面の完全な平坦化を実現することが難しくなる。この結果、その後の工程、たとえばフォトリソグラフィあるいはエッチング等の工程において十分なプロセスマージンがとれず、さらなる微細化に対応することが難しくなる。

【0013】本発明の目的は、上層の配線と下層の配線とを絶縁する層間絶縁膜を熱ストレスを加えることなく平坦化することのできる技術を提供することにある。

【0014】本発明の他の目的は、層間絶縁膜の平坦化により、その後のフォトリソグラフィ工程でのフォーカスマージンを向上し、配線の断線あるいは短絡を防止して、半導体集積回路装置の歩留まりおよび信頼性を向上するとともに前熱性の低い材料を使用して半導体集積回路装置の性能を向上することができる技術を提供することにある。

【0015】本発明の他の目的は、フォトリソグラフィ工程でのフォーカスマージンを向上して、高集積化に対応し、チップサイズを縮小することができる技術を提供することにある。

【0016】本発明の他の目的は、上層の配線と下層の配線とを接続する接続孔のアスペクト比を低減することのできる技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】(1) 本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成された半導体集積回路素子の上層に、半導体集積回路素子を構成する部材に起因して形成された面積の大きな大面積凸パターンを含む層間絶縁膜を堆積し、層間絶縁膜の表面を平坦化する工程を含む半導体集積回路装置の製造方法であって、大面積凸パターン以外の領域および境界領域を覆うフォトレジストを形成し、フォトレジストをマスクとして層間絶縁膜の大面積凸パターンの領域をエッチングする第1の工程、および、フォトレジストを除去した後、層間絶縁膜の表面をCMP法により研磨する第2の工程を含むものである。

【0020】このような半導体集積回路装置の製造方法によれば、第1の工程により大面積パターンをエッチバックするため、層間絶縁膜の段差を解消し、たとえばメモリアルレイと周辺回路領域との間に形成される段差を無くすることができる。この結果、段差部で発生しやす

6

い配線の断線あるいは短絡を防止し、半導体集積回路装置の信頼性と歩留まりを向上することができる。また、段差がなくなることにより、たとえば低い標高部となる周辺回路領域での層間絶縁膜の膜厚を薄くすることができ、接続孔の開口加工を容易にしてその加工マージンを向上することができる。さらに、段差の解消によりその後の工程におけるフォトリソグラフィのフォーカスマージンを向上し、半導体集積回路装置の歩留まり、信頼性の向上、および微細化に対応することによるチップサイズの縮小を図ることが可能となる。

【0021】また、第2の工程によりCMP研磨を行うため、熱ストレスを加えることなく層間絶縁膜の平坦化を実現することができる。この第2の工程におけるCMP研磨では、第1の工程において大面積パターンがエッチバックされているため、微細な凸パターンしか存在せず、CMP研磨によりほぼ完全に平坦化することが可能である。この結果、その後の工程におけるフォトリソグラフィの際のフォーカスマージンを向上して半導体集積回路装置の歩留まり、信頼性の向上、およびチップサイズの縮小を図ることが可能となる。また、本工程では、熱ストレスを加えることがないため、その前の工程で形成される部材に、金属あるいは金属化合物等の耐熱性の乏しい材料を用いることができる。このため、配線等に金属あるいは金属化合物を使用してその導電性を向上し、半導体集積回路装置の性能を向上することが可能となる。このような金属系材料を用いることは、高度な微細化が要求される今後の高性能半導体集積回路装置に要求される事項であり、そのような高集積高性能半導体集積回路装置に必要とされる技術の方向にも沿うものである。

【0022】なお、前記の大面積パターンは、DRAMのメモリ情報である蓄積電荷を保持する蓄積容量により形成される場合がある。特に、蓄積容量がビット線の上層に形成されるいわゆるCOB構造の場合、DRAMの高集積化および微細化に伴って、蓄積容量の高さが高くなる方向にあり、本発明により段差を解消することは有意義となる。ここで、蓄積容量により形成される大面積パターンは、その他の領域よりも標高が高く形成され、このような大面積パターンを含む層間絶縁膜は、大面積パターン領域における標高の高い部分と、それ以外の領域における標高の低い部分とを有するものである。よって、段差は標高の高い大面積パターンの領域と標高の低いそれ以外の領域との境界に形成される。

【0023】また、前記の大面積パターンは、高密度に配置されたMISFETのゲート電極または配線により形成される場合がある。すなわち、ゲート電極または配線が高密度に形成された場合には、層間絶縁膜がゲート電極または配線の間を埋め込むことにより形成されるため、その上層の層間絶縁膜は大面積パターンが形成され、このような大面積パターンはCMP法のみでは良好

(5)

に平坦化することが難しいことは前記したとおりである。本発明によれば、このような大面積パターンも第1の工程でエッチバックし、さらに第2の工程でCMP研磨することによりほぼ完全なグローバル平坦化を実現することが可能である。

【0024】(2) 本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方法であって、境界領域を、大面積凸パターンの立ち上がり部から大面積凸パターンの凸部の方向に10 μ mの範囲とするものである。

【0025】前記(1)記載の半導体集積回路装置の製造方法では、第1の工程において、大面積凸パターン以外の領域および境界領域にマスクをして大面積凸パターン領域の層間絶縁膜をエッチバックするものである。したがって、境界領域には層間絶縁膜の突起部分が形成されることとなる。本発明では、境界領域を大面積凸パターンの立ち上がり部から大面積凸パターンの凸部の方向に10 μ mの範囲とすることにより、この突起部分の幅を10 μ m以下とするものである。このように、突起部分の幅を10 μ m以下とすることにより、第2の工程におけるCMP研磨でほぼ完全な平坦化を実現することが可能となる。すなわち、CMP研磨では10 μ m程度以下の突起は問題なく研磨できることに基づく。

【0026】また、境界領域における層間絶縁膜の突起部分には、その幅に対する高さの比を1以下とすることができ。このような場合、突起部が極度に細くなることが防止し、突起部の折れを防止することができる。すなわち、突起部に折れが生じる場合には、そのような突起部分が良好に研磨されないのみならず、折れにより生じた破片がCMP研磨工程におけるスクラッチの原因となる恐れがあるが、本発明によればこのような不具合が生じない。

【0027】(3) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法であって、第1および第2の工程の前に形成される半導体集積回路素子を構成する部材には、耐熱性の低い部材が含まれるものである。このように耐熱性の低い部材を用いることができるのは、本発明の平坦化工程においては高温を加える熱プロセスを用いる必要がないためであり、この結果、耐熱性の低い金属あるいは金属化合物を使用して半導体集積回路装置を構成することができる。これにより、半導体集積回路装置の性能を向上することができる。

【0028】(4) 本発明の半導体集積回路装置は、半導体基板の主に形成された半導体集積回路素子を覆う層間絶縁膜を含む半導体集積回路装置であって、層間絶縁膜は、半導体集積回路素子を構成する部材に起因して形成された面積の大きな大面積凸パターンを、大面積凸パターン以外の領域および境界領域を覆うフォトレジストをマスクとしてエッチングし、エッチングにより形成

8

された境界領域の突起部を含む層間絶縁膜をCMP法により研磨して平坦化されたものであり、半導体集積回路素子には、金属または金属化合物からなる部材が含まれているものである。このような半導体集積回路装置は、前記した(1)から(3)の製造方法により製造することができる。

【0029】なお、前記部材として、タングステン、タングステンシリサイド、チタンまたは窒化チタンからなるゲート電極、タングステン、タングステンシリサイド、チタンまたは窒化チタンからなるDRAMのビット線、酸化タンタルからなる蓄積容量の容量絶縁膜、タングステン、タングステンシリサイド、チタンまたは窒化チタンからなる蓄積容量のプレート電極、タングステン、タングステンシリサイド、チタン、窒化チタン、アルミニウムまたは銅からなる接続孔に形成された接続部材、タングステン、タングステンシリサイド、チタン、窒化チタン、アルミニウムまたは銅からなる配線を示すことができる。このような部材では、従来用いられていた多結晶シリコンあるいはシリコン酸化膜およびシリコン窒化膜に比べて高い導電率あるいは誘電率を実現することができる。半導体集積回路装置の性能を向上することができる。

【0030】また、層間絶縁膜は、熱非溶融性のシリコン酸化膜とすることができる。従来は、BPSGを用いてリフローにより平坦化を実現していたため、熱溶融性のシリコン酸化膜を用いざるを得なかったが、本発明では、リフローを用いる必要がないため、熱非溶融性のシリコン酸化膜を用いることができる。これにより、シリコン酸化膜の吸水性を改善して半導体集積回路装置の信頼性を向上することができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0032】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の製造方法を適用するDRAMの一例を示した平面図である。

【0033】図1に示すDRAMには、周辺回路領域16とメモリアレイ領域17とが含まれている。周辺回路領域16では、回路を構成するMISFET等の素子が確に形成されているため、層間絶縁膜等素子形成部材を覆う被膜の表面に形成されるパターンは、 μ mオーダーの微細パターンとなるのに対し、メモリアレイ領域17では、MISFET等の素子が高密度で形成されているため、前記被膜は素子形成部材間に完全に埋め込まれ、その表面に形成されるパターンは数mmオーダーの大面積パターンとなる。このような微細パターンと大面積パターンとが混在した被膜をCMP法により研磨すれば、研磨パッドの変形により発生する水平方向の圧力により微細

(6)

パターンが効果的に研磨される一方、大面積パターンが微細パターン程には研磨されず大面積パターン領域の被研磨膜厚が大きくなって平坦性を阻害することは前記したとおりである。

【0034】また、メモリアレイ領域17には、情報蓄積用の蓄積容量が形成されるため、その上層に形成される層間絶縁膜には、蓄積容量の上部の標高の高い領域とそれ以外の標高の低い領域が形成され、両領域の境界に形成される段差部で配線の断線あるいは短絡が生じやすくなることも前記したとおりである。なお、標高の高い領域は、蓄積容量が高密度に形成されているため、大面積パターンの領域ともなっているものである。

【0035】しかし、以下に説明する製造方法を用いれば、大面積パターンのみをあらかじめエッチバックし、その後、大面積パターンをエッチバックした残りの突起部および微細パターンをCMP研磨することにより層間絶縁膜を平坦化し、その平坦性を向上することが可能である。以下、図2～図13を用いて本実施の形態1の製造方法を説明する。図2～図13は本実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0036】まず、図2に示すように、p形の半導体基体18を用意し、半導体基体18の主面に浅溝素子分離領域19を形成する。さらに、DRAMの選択MISFETが形成される領域の深い位置にnウェル20を形成し、その上部にpウェル21を形成し、DRAMの周辺回路のMISFETが形成される領域にnウェル22およびpウェル23を形成する。

【0037】浅溝素子分離領域19は、公知のフォトリソグラフィおよびエッチング技術を用いた浅溝の形成および浅溝の内面を含む半導体基体18の主面上へのシリコン酸化膜の堆積を行い、このシリコン酸化膜をCMP法等によりエッチバックして形成することができる。nウェル20、pウェル21、nウェル22およびpウェル23は、n形の場合にはリンを、p形の場合にはボロンを不純物としてイオン注入し、熱処理することにより形成することができる。なお、nウェル20は、DRAMの選択MISFETを基板の電位から絶縁し、バイアスを印加して周辺回路等からのノイズの混入を防止してDRAMの動作信頼性を向上する作用がある。

【0038】次に、図3に示すように、半導体基体18の主面に公知のCVD法等を用いてシリコン酸化膜、多結晶シリコン膜およびシリコン窒化膜を順次堆積し、この積層膜をパターンニングしてゲート絶縁膜24、ゲート電極25、キャップ絶縁膜26を形成する。前記積層膜のパターンニングには公知のフォトリソグラフィ技術およびエッチング技術を用いることができる。その後低濃度の不純物をゲート電極25をマスクとして自己整合的にイオン注入し、低濃度不純物半導体領域27を形成する。さらにゲート電極25の側面にシリコン酸化膜から

10

なるサイドウォール28を形成し、サイドウォール28をマスクとして自己整合的に不純物を高濃度にイオン注入し、高濃度不純物半導体領域29を形成する。サイドウォール28の形成は、公知のCVD法によつたとえはシリコン窒化膜を堆積し、その後シリコン窒化膜を異方性エッチングすることにより形成することができる。低濃度不純物半導体領域27に注入される不純物は、pウェル22およびpウェル23の場合にはたとえリン、ヒ素等のn形不純物、nウェル22の場合にはボロン等のp形不純物である。また、高濃度不純物半導体領域29は、pウェル21には形成されず、pウェル23にはたとえヒ素が、nウェル22にはたとえボロンが注入される。

【0039】上記のようにして形成されたMISFETは、pウェル21上に形成されたMISFETはDRAMのメモリアレイ領域17の選択MISFETQ1となり、nウェル22およびpウェル23上に形成されたMISFETは各々DRAMの周辺回路領域16のp形MISFETQpおよびn形MISFETQnとなる。

【0040】次に、図4に示すように、半導体基体18の全面に層間絶縁膜30を堆積する。層間絶縁膜30はたとえはシリコン酸化膜とすることができ、TEOS(テトラメトキシシラン)を用いたCVD法により形成することができるが、SOG膜を用いてもよい。

【0041】次に、図5に示すように、公知の方法によりDRAMのビット線31、ビット線31と同時に形成される周辺回路領域の配線32および蓄積容量33を形成する。ビット線31および配線32と蓄積容量33とは層間絶縁膜34により絶縁する。

【0042】次に、図6に示すように、蓄積容量33の上層に蓄積容量33を覆う層間絶縁膜35を堆積する。蓄積容量33の上部の層間絶縁膜35は、蓄積容量33の存在によりその高さに相当する分だけ標高が高くなっており、大面積パターンを形成している。また、蓄積容量33の形成されないその他の領域(周辺回路領域)では、層間絶縁膜35の標高は低くなっており、両領域の境界領域には段差36が形成されている。

【0043】また、層間絶縁膜35は、非熱溶融性のシリコン酸化膜とすることができ、たとえばプラズマCVDにより形成されたシリコン酸化膜あるいはTEOSを用いた熱CVDによるシリコン酸化膜とすることができる。このように層間絶縁膜35を非熱溶融性のシリコン酸化膜とすることによりBPSG等を用いた場合に比較してその吸湿性を改善し、DRAMの信頼性を向上することができる。

【0044】次に、図7に示すように、層間絶縁膜35の標高の低い領域および境界領域を覆うようにレジスト37を形成する。レジスト37の形成は公知のフォトリソグラフィ技術を用いることができる。

【0045】次に、図8に示すように、レジスト37を

(7)

マスクとして、公知のエッチング技術を用い、層間絶縁膜35をエッチバックする。このように蓄積容量33の形成された領域の層間絶縁膜35のみをエッチバックすることにより、標高の高い領域がなくなり、蓄積容量33の形成された領域とそれ以外の領域との標高がほぼ同じとなる。その結果、後に説明するCMP研磨工程の後には、段差36を解消することができ、層間絶縁膜35の上層に形成される配線の断線あるいは短絡を防止し、DRAMの歩留まりと信頼性を向上させることができる。

【0046】なお、境界領域におけるレジスト37の端部の位置を制御することにより、図9に示すように距離Lを制御することが可能である。距離Lは10 μ m以内とすることができ、また、距離L/高さHの比を1以上とすることができ、このように距離Lを10 μ m以内とすることにより後に説明するCMP工程において、突起部38をほぼ完全に研磨してグローバルな平坦化を実現することが可能となる。すなわち、CMP研磨は、幅の広い大面積パターンを平坦化することは困難であるが、幅の狭い微細なパターンはこれを完全に平坦化することができるためである。この場合、幅10 μ mのパターンはほぼ微細パターンとすることができ、CMP研磨によりほぼ完全に平坦化することが可能である。また、距離L/高さHの比を1以上とすることにより突起部38の折れを防止し、CMP研磨により研磨して除去することが可能である。仮に距離L/高さHの比が1以下である場合には突起部38が折れ、この破片がCMP研磨の際のスクラッチの原因となる恐れがある。しかし、本実施の形態1のように距離L/高さHの比が1以上であればそのような恐れは生じない。

【0047】次に、図10に示すように、層間絶縁膜35をCMP法により研磨する。この際、研磨パッド39は、突起部38に選択的に接触し、突起部38を選択的に研磨することとなる。なお、研磨パッド39としては硬質パッドを用いることもできるが、層間絶縁膜35には突起部38等の微細パターンのみが存在するため軟質パッドを用いることができる。軟質パッドを用いることにより、層間絶縁膜35の表面のダメージを抑制し、よりソフトなCMP研磨を行うことが可能となる。

【0048】上記のCMP研磨の結果、図11に示すように、層間絶縁膜35の表面の段差36が解消され、かつ、グローバルな平坦化が行われる。

【0049】なお、本実施の形態1では、上記の通り、高温に加熱する工程を経ずに層間絶縁膜35を平坦化することができるため、ビット線31、蓄積容量33の下部電極あるいはプラート電極に耐熱性に乏しい金属あるいは金属化合物を用いることができる。金属あるいは金属化合物としては、タングステン、タングステンシリサイド、チタンまたは窒化チタンを例示することができる。また、蓄積容量33の容積絶縁膜にも耐熱性の低いたとえば酸化タンタル等を用いることができる。このよ

12

うに金属、金属化合物あるいは酸化タンタルを用いることにより、各部材の導電性を向上し、あるいは誘電率を高めて、DRAMの性能の向上と高集積化への対応を容易にすることができる。

【0050】次に、図12に示すように、接続孔40を開孔し、接続孔40に接続部材41を形成し、さらに配線42を形成する。

【0051】接続孔40は公知のフォトリソグラフィおよびエッチング技術を用いることができるが、本実施の形態1の場合、層間絶縁膜35がグローバルに平坦化されているため、フォトリソグラフィの際のフォーカスマージンを向上させることができ、十分なマージンをもって接続孔40を開孔することができる。また、十分なマージンの存在により周辺回路領域の集積度を向上し、チップサイズを縮小することも可能である。

【0052】接続部材41は、たとえばタンダステンからなるプラグとすることができる。この場合接着層としてチタンあるいは窒化チタンを用いることができる。なお、タンダステン、窒化チタンおよびチタンは、公知のCVD法あるいはスパッタ法により形成することができる。

【0053】配線42は、たとえばアルミニウムまたは銅を主導電層とし、チタンまたは窒化チタンおよびサリドイッチされた構造とすることができる。アルミニウムまたは銅、チタンまたは窒化チタンは、公知のCVD法あるいはスパッタ法により形成することができる。

【0054】最後に、図13に示すように、層間絶縁膜43を堆積し、上記と同様の方法により接続孔44、接続部材45および配線46を形成し、さらに層間絶縁膜47を堆積して、本実施の形態1のDRAMがほぼ完成する。層間絶縁膜43、47は、たとえばプラズマCVD法により堆積されたシリコン酸化膜とSO₂膜との積層膜とすることができるが、SO₂膜を用いずに、プラズマCVD法により堆積されたシリコン酸化膜を厚く堆積してCMP法により平坦化してもよい。

【0055】本実施の形態1の半導体集積回路装置の製造方法によれば、層間絶縁膜35の平坦性を向上することができ、その後の工程の配線の短絡あるいは断線を防止し、また、フォトリソグラフィのプロセスマージンを向上してDRAMの信頼性を向上するとともにチップサイズの縮小を図ることができる。さらに、高温の熱工程を用いないため、ビット線31、蓄積容量33の下部電極およびプラート電極、あるいは容積絶縁膜に金属、金属化合物を用いることができ、DRAMの性能の向上と高集積化への対応を図ることができる。また、層間絶縁膜35に非熱溶融性のシリコン酸化膜を使用して吸湿性を改善することができる。

【0056】なお、層間絶縁膜47の上層にさらに配線層と同様の方法で形成し、さらに多層化を繰り返すことが可能である。

(3)

13
【0057】(実施の形態2) 図14～図16は本実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0058】本実施の形態2の製造方法は、実施の形態1における図3の工程までは同様である。したがって、その説明は省略する。

【0059】実施の形態1と同様に、選択MISFET Q_t、p形MISFET Q_pおよびn形MISFET Q_nを形成した後、図14に示すように、層間絶縁膜48を堆積する。さらに、選択MISFET Q_tの形成される領域以外の領域および境界領域にレジスト49を形成する。

【0060】層間絶縁膜48はたとえばシリコン酸化膜とすることができ、TEOS(テトラメトキシシラン)を用いたCVD法により形成することができる。層間絶縁膜48の表面形状は、図14に示すように下地部材であるMISFETの形状を反映して凹凸を有するものであるが、周辺回路領域16のMISFET Q_p、Q_nは比較的平坦に形成されているため層間絶縁膜48の表面は微細な凸幅を有する微細パターン50となり、DRAMのメモリアレイ領域17の選択MISFET Q_tは悉に形成されているため層間絶縁膜48は下地パターンの凹部に完全に埋め込まれ層間絶縁膜48表面の形状は大面積パターン51となる。

【0061】次に、図15に示すように、レジスト49をマスクとして、公知のエッチング技術を用い、層間絶縁膜48をエッチバックする。このように大面積パターン51のみをエッチバックすることにより、層間絶縁膜48に大面積パターン51がなくなり、層間絶縁膜48の表面には突起部52および微細パターン50のみが形成された状態となる。

【0062】なお、境界領域におけるレジスト49の端部の位置を制御し、突起部52の距離Lを10μm以内、あるいは、距離L/高さHの比を1以上とすることができることは実施の形態1と同様である。

【0063】次に、図16に示すように、層間絶縁膜48をCMP法により研磨する。この際、研磨パッド39は、突起部52および微細パターン50に選択的に研磨することとなる。なお、研磨パッド39としては硬質パッドを用いることもできるが、軟質パッドを用いて層間絶縁膜48の表面のダメージを抑制し、よりソフトなCMP研磨を行うことができることは実施の形態1と同様である。

【0064】上記のCMP研磨の結果、層間絶縁膜48の表面はグローバルな平坦化が行われる。なお、本実施の形態2では、上記の通り、高温に加熱する工程を経ずに層間絶縁膜48を平坦化することができるため、ゲート電極25に非熱酸性に乏しい金属あるいは金属化合物を用いることができる。金属あるいは金属化合物として

14
は、タングステン、タングステンシリサイド、チタンまたは窒化チタンを例示することができる。このように金属あるいは金属化合物を用いることにより、ゲート電極25の導電性を向上し、DRAMの性能の向上と高集積化への対応を容易にすることができる。

【0065】なお、この後の工程は実施の形態1と同様であるため説明を省略する。

【0066】本実施の形態2の半導体集積回路装置の製造方法によれば、層間絶縁膜48の平坦性を向上することができ、その後のフォトリソグラフィ工程のプロセスマージンを向上してDRAMの信頼性を向上するとともにチップサイズの縮小を図ることができる。さらに、高温の熱工程を用いないため、ゲート電極25に金属、金属化合物を用いることができ、DRAMの性能の向上と高集積化への対応を図ることができる。また、層間絶縁膜48に非熱溶解性のシリコン酸化膜を使用して吸湿性を改善することができる。

【0067】(実施の形態3) 図17～図21は本実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0068】本実施の形態3の製造方法は、実施の形態1における図5の工程までは同様である。したがって、その説明は省略する。

【0069】実施の形態1と同様に、蓄積容量33を形成した後、図17に示すように、層間絶縁膜53を堆積する。さらに、接続孔54を形成し、接続孔54に接続部材55を形成し、層間絶縁膜53上に配線56を形成する。

【0070】蓄積容量33の上部の層間絶縁膜53は、蓄積容量33の存在によりその高さに相当する分だけ標高が高くなっており、大面積パターンを形成している。また、蓄積容量33の形成されないその他の領域(周辺回路領域)では、層間絶縁膜53の標高は低くなっており、両領域の境界領域には段差36が形成されている。このように、周辺回路領域の標高が低くなっているため、接続孔54の開口には有利である。すなわち、接続孔54のアスペクト比が小さくなり、プロセスマージンを大きくすることが可能となる。この結果、周辺回路領域における高集積化を実現し、チップサイズの縮小を図って、DRAMの高集積化に対応することが可能となる。

【0071】接続孔54、接続部材55および配線56は、実施の形態1の接続孔40、接続部材41および配線42と同様とすることができる。

【0072】また、層間絶縁膜53を非熱溶解性のシリコン酸化膜とすることができることは実施の形態1と同様である。

【0073】次に、図18に示すように、層間絶縁膜53の上部に、配線56を覆う層間絶縁膜57を堆積する。層間絶縁膜57には、層間絶縁膜53の形状を反映

(9)

15

して段差36が形成されている。また、層間絶縁膜57は、層間絶縁膜53と同様に非熱溶融性のシリコン酸化膜とすることができる。

【0074】さらに、層間絶縁膜57の標高の低い領域および境界領域を覆うようにレジスト58を形成する。レジスト58の形成は公知のフォトリソグラフィ技術を用いることができる。

【0075】次に、図19に示すように、レジスト58をマスクとして、公知のエッチング技術を用い、層間絶縁膜57をエッチバックする。このように蓄積容量33の形成された領域の層間絶縁膜57のみをエッチバックすることにより、標高の低い領域がなくなり、蓄積容量33の形成された領域とそれ以外の領域との標高がほぼ同じとなることは実施の形態1と同様である。また、境界領域におけるレジスト58の端部の位置を制御し、突起部59の距離Lを10 μ m以内、あるいは、距離L/高さHの比を1以上とすることができることは実施の形態1と同様である。

【0076】次に、図20に示すように、層間絶縁膜57をCMP法により研磨し平坦化する。この平坦化の際に硬質研磨パッドあるいは軟質研磨パッドを用いることができることは実施の形態1と同様である。このCMP研磨の結果、図20に示すように、層間絶縁膜57の表面の段差36が解消され、かつ、グローバルな平坦化が行われる。

【0077】なお、本実施の形態3では、上記の通り、高温に加熱する工程を必ずしも層間絶縁膜57を平坦化することができるため、ビット線31、蓄積容量33の下部電極あるいはプレート電極に耐熱性に乏しい金属あるいは金属化合物を用いることができ、また、蓄積容量33の容量絶縁膜にも耐熱性の低いたとえば酸化タンタル等を用いることができる。さらに、接続部材55および配線56についても耐熱性に乏しい金属あるいは金属化合物を用いることができる。金属あるいは金属化合物としては、タングステン、タングステンシサイド、チタン、窒化チタン、アルミニウムあるいは銅を例示することができる。このように金属、金属化合物あるいは酸化タンタルを用いることにより、各部材の導電性を向上し、あるいは誘電率を高めて、DRAM性能の向上と高集積化への対応を容易にすることができることは実施の形態1と同様である。

【0078】次に、図21に示すように、接続孔60を開孔し、接続孔60に接続部材61を形成し、さらに配線62を形成する。さらに層間絶縁膜63を形成し、本実施の形態3のDRAMがほぼ完成する。

【0079】接続孔60は公知のフォトリソグラフィおよびエッチング技術を用いることができるが、本実施の形態3の場合、層間絶縁膜57がグローバルに平坦化されているため、フォトリソグラフィの際のフォーカスマージンを向上することができ、十分なマージンをもって

16

接続孔60を開孔することができる。また、十分なマージンの存在により周辺回路領域の集積度を向上し、チップサイズを縮小することも可能である。

【0080】接続部材61、配線62および層間絶縁膜63については実施の形態1の接続部材41、配線42および層間絶縁膜43と同様であるため説明を省略する。

【0081】本実施の形態3の半導体集積回路装置の製造方法によれば、層間絶縁膜57の平坦性を向上することができ、その後の工程の配線の短絡あるいは断線を防ぎ、また、フォトリソグラフィのプロセスマージンを向上してDRAMの信頼性を向上するとともにチップサイズの縮小を図ることができる。さらに、高温の熱工程を用いないため、ビット線31、蓄積容量33の下部電極およびプレート電極、容量絶縁膜あるいは接続部材55および配線56に金属、金属化合物を用いることができ、DRAMの性能の向上と高集積化への対応を図ることができる。また、層間絶縁膜57に非熱溶融性のシリコン酸化膜を使用して破壊性を改善することができる。

【0082】なお、層間絶縁膜63の上層にさらに配線層を同様の方法で形成し、さらに多層化配線とすることが可能である。

【0083】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0084】たとえば、上記実施の形態1〜3では、DRAMの製造方法を例示したが、たとえば、メモリ領域を同一チップに搭載したロジック半導体集積回路装置等に適用してもよい。

【0085】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0086】(1) 上層の配線と下層の配線とを絶縁する層間絶縁膜を熱ストレスを加えることなく平坦化することができる。

【0087】(2) 層間絶縁膜の平坦化により、その後のフォトリソグラフィ工程でのフォーカスマージンを向上し、配線の断線あるいは短絡を防ぎ、半導体集積回路装置の歩留まりおよび信頼性を向上するとともに耐熱性の低い材料を使用して半導体集積回路装置の性能を向上することができる。

【0088】(3) フォトリソグラフィ工程でのフォーカスマージンを向上して、高集積化に対応し、チップサイズを縮小することができる。

【0089】(4) 上層の配線と下層の配線とを接続する接続孔のアスペクト比を低減することができる。

【図面の簡単な説明】

50

(10)

17	【図1】実施の形態1の半導体集積回路装置の製造方法を適用するDRAMの一例を示した平面図である。	21	pウェル
	【図2】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	22	nウェル
	【図3】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	23	pウェル
	【図4】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	24	ゲート絶縁膜
	【図5】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	25	ゲート電極
	【図6】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	26	キャップ絶縁膜
	【図7】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	27	低濃度不純物半導体領域
	【図8】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	28	サイドウォール
	【図9】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	29	高濃度不純物半導体領域
	【図10】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	30	層間絶縁膜
	【図11】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	31	ビット線
	【図12】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	32	配線
	【図13】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	33	蓄積容量
	【図14】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	34	層間絶縁膜
	【図15】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	35	層間絶縁膜
	【図16】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	36	段差
	【図17】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	37	レジスト
	【図18】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	38	突起部
	【図19】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	39	研磨パッド
	【図20】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	40	接続孔
	【図21】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	41	接続部材
	【図22】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	42	配線
	【図23】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	43	層間絶縁膜
	【図24】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	44	接続孔
	【図25】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	45	接続部材
	【図26】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	46	配線
	【図27】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	47	層間絶縁膜
	【図28】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	48	層間絶縁膜
	【図29】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	49	レジスト
	【図30】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	50	微細パターン
	【図31】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	51	大面積パターン
	【図32】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	52	突起部
	【図33】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	53	層間絶縁膜
	【図34】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	54	接続孔
	【図35】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	55	接続部材
	【図36】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	56	配線
	【図37】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	57	層間絶縁膜
	【図38】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	58	レジスト
	【図39】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	59	突起部
	【図40】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	60	接続孔
	【図41】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	61	接続部材
	【図42】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	62	配線
	【図43】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	63	層間絶縁膜
	【図44】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	64	距離
	【図45】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	65	高さ
	【図46】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	66	Q _n n形MISFET
	【図47】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	67	Q _p p形MISFET
	【図48】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。	68	Q _t 選択MISFET

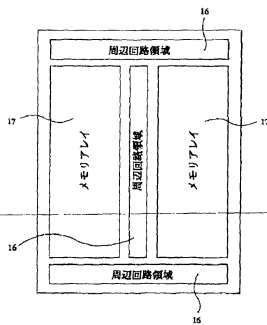
【符号の説明】

- 16 周辺回路領域
17 メモリアレイ領域
18 半導体基体
19 浅溝素子分離領域
20 nウェル

(11)

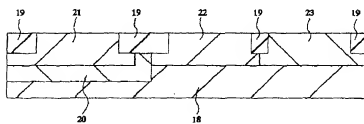
【図1】

図 1



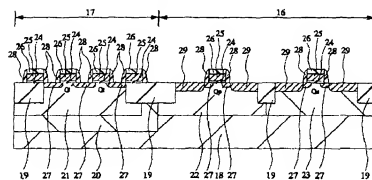
【図2】

図 2



【図3】

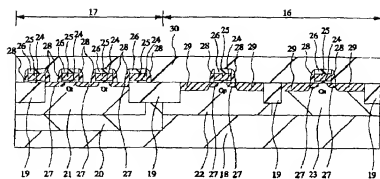
図 3



(12)

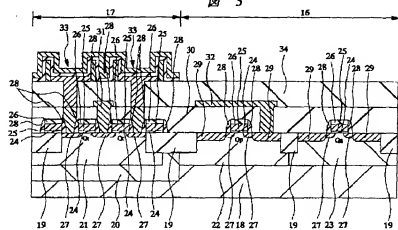
【図4】

図 4



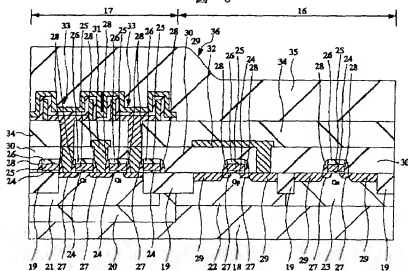
【図5】

図 5



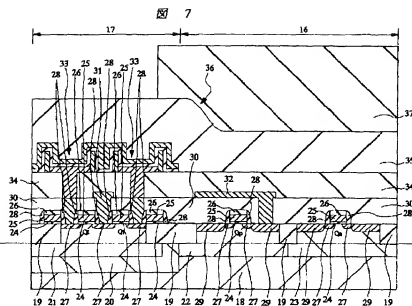
【図6】

図 6

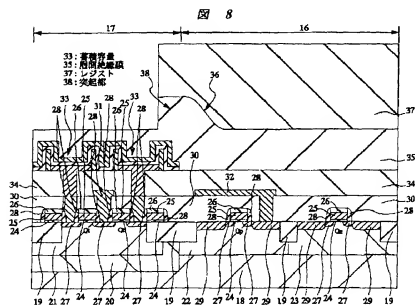


(13)

【図7】

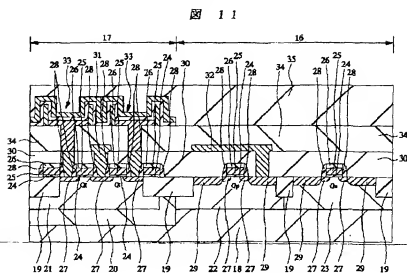


【図8】

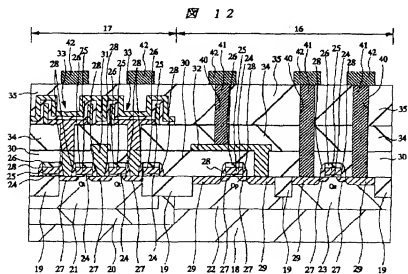


(15)

【圖 1 1】

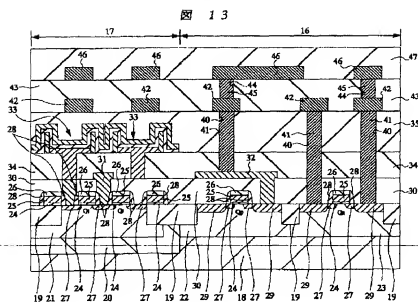


【圖 12】

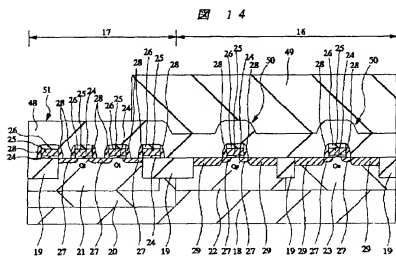


(16)

【图 13】

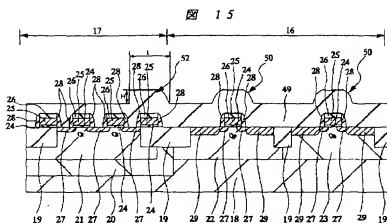


【圖 14】

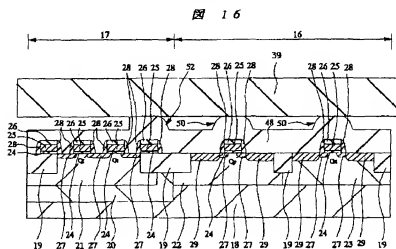


(17)

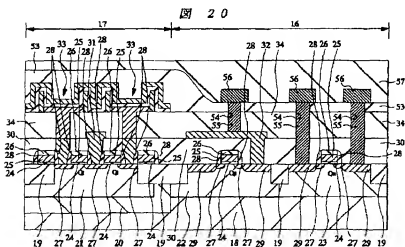
【図15】



【図16】

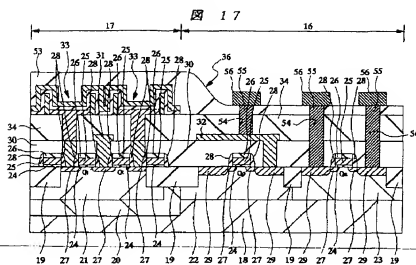


【図20】

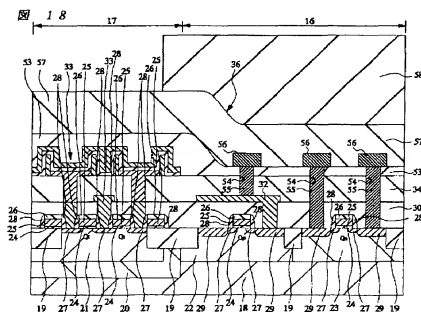


(18)

【図17】

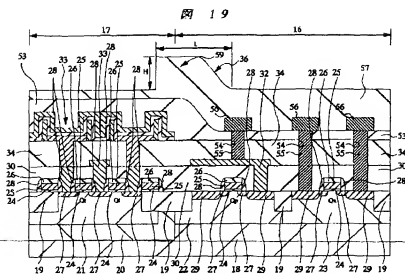


【図18】

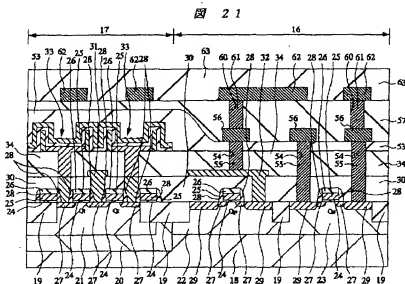


(19)

【図19】



【図21】



フロントページの続き

(72)発明者 池田 典昭
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内